

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.
012488083 **Image available**
WPI Acc No: 1999-294191/199925
XRPX Acc No: N99-220768

TFT structure for active matrix liquid crystal display, electronic machine - includes silicon film over source drain channel formation area and one electrode of auxiliary capacitance and conductive film over gate and other electrodes of auxiliary capacitance

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 11097702	A	19990409	JP 97273444	A	19970919	199925 B

Priority Applications (No Type Date): JP 97273444 A 19970919

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 11097702 A 12 H01L-029/786

Abstract (Basic): JP 11097702 A

NOVELTY - The TFT consisting of source area (14), the channel formation area (17), drain area (15) and the electrodes (18) of auxiliary capacitance are covered by a common silicon film. A conductive film covers the common gate electrode (12) of TFT and an electrode (13) of the auxiliary capacitance. The source drain channel formation area are doped for controlling threshold voltage. **DETAILED DESCRIPTION** - An INDEPENDENT CLAIM is also included for the TFT manufacturing method.

USE - For active matrix liquid crystal display, electronic machines.

ADVANTAGE - The deterioration of the auxiliary capacitance by the dielectric breakdown is prevented by reducing the voltage impressed to the upper part electrode of the auxiliary capacitance. The freedom of circuit design is extended by the common use power supply line.

DESCRIPTION OF DRAWING(S) - The diagram explains the structure of pixel TFT. (12) Common gate electrode; (13,18) Electrodes; (14) Source area; (15) Drain area; (17) Channel formation area.

Dwg.1/10

Title Terms: TFT; STRUCTURE; ACTIVE; MATRIX; LIQUID; CRYSTAL; DISPLAY; ELECTRONIC; MACHINE; SILICON; FILM; SOURCE; DRAIN; CHANNEL; FORMATION; AREA; ONE; ELECTRODE; AUXILIARY; CAPACITANCE; CONDUCTING; FILM; GATE; ELECTRODE; AUXILIARY; CAPACITANCE

Derwent Class: U12; U14

International Patent Class (Main): H01L-029/786

File Segment: EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

06156159 **Image available**

SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

PUB. NO.: 11-097702 [JP 11097702 A]

PUBLISHED: April 09, 1999 (19990409)

INVENTOR(s): YAMAZAKI SHUNPEI

OTANI HISASHI

FUKUNAGA KENJI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 09-273444 [JP 97273444]

FILED: September 19, 1997 (19970919)

INTL CLASS: H01L-029/786

ABSTRACT

PROBLEM TO BE SOLVED: To provide a structure for restraining deterioration in auxiliary capacitance and improving the degree of freedom of circuit design.

SOLUTION: An impurity element for controlling a threshold voltage is added to a channel forming region 17 of a TFT, and the impurity element is intentionally prevented from being added to a lower electrode 18 of an auxiliary capacitance. Thus, a voltage to be applied to an upper electrode 13 of the auxiliary capacitance can be reduced and deterioration in the auxiliary capacitance due to insufficient breakdown strength can be prevented. Also, the power source for the auxiliary capacitance and the power source for another circuit can be easily made common, and the degree of freedom of circuit design can be increased.

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97702

(43) 公開日 平成11年(1999)4月9日

(51) Int.Cl.⁶

H 01 L 29/786

識別記号

F I

H 01 L 29/78

6 1 6 V

6 1 2 C

6 1 6 S

6 1 8 F

審査請求 未請求 請求項の数14 FD (全 12 頁)

(21) 出願番号

特願平9-273444

(22) 出願日

平成9年(1997)9月19日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 福永 健司

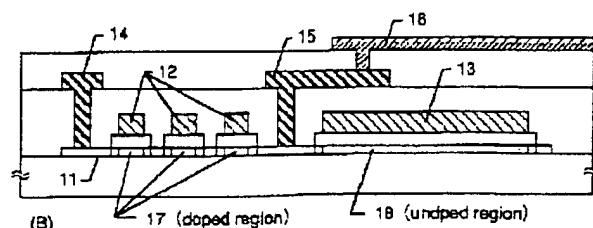
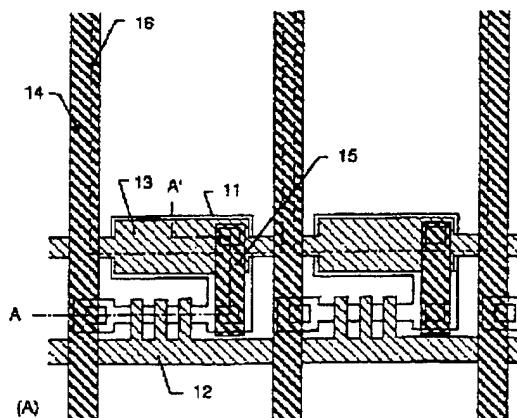
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 補助容量の劣化を抑制し、且つ、回路設計の自由度を向上させるための構成を提供する。

【解決手段】 TFTのチャネル形成領域17にはしきい値電圧を制御するための不純物元素が添加され、補助容量の下部電極18には意図的に当該不純物元素が添加されない。こうすることで補助容量の上部電極13に印加する電圧を低減することができ、補助容量の耐圧不良による劣化を防ぐことができる。また、補助容量用の電源と他の回路の電源との共用が容易となり、回路設計の自由度を広げることができる。



【特許請求の範囲】

【請求項1】画素マトリクス回路を構成する複数の画素のそれそれに、少なくとも一つのTFTと、一対の電極間に誘電体を挟持してなる補助容量と、を有する半導体装置であって、

前記TFTのソース領域、チャネル形成領域及びドレイン領域と、前記補助容量を構成する一方の電極とは、共通の半導体膜から構成され、

前記TFTのゲート電極と前記補助容量を構成する他方の電極とは、共通の導電性膜から構成され、

前記ソース領域、チャネル形成領域及びドレイン領域のみにしきい値電圧を制御するための不純物元素が添加されていることを特徴とする半導体装置。

【請求項2】請求項1において、前記半導体膜とは珪素を主成分とする半導体からなることを特徴とする半導体装置。

【請求項3】請求項1において、前記導電性膜の仕事関数(Φm)は4.5eV以下であることを特徴とする半導体装置。

【請求項4】請求項1において、前記導電性膜とはアルミニウムを主成分とする材料またはN型導電性を有する珪素膜であることを特徴とする半導体装置。

【請求項5】請求項1において、前記しきい値電圧を制御するための不純物元素とは13族から選ばれた元素であることを特徴とする半導体装置。

【請求項6】請求項5において、前記13族から選ばれた元素とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置。

【請求項7】請求項1において、前記しきい値電圧を制御するための不純物元素とは15族から選ばれた元素であることを特徴とする半導体装置。

【請求項8】請求項7において、前記15族から選ばれた元素とはリン、砒素またはアンチモンであることを特徴とする半導体装置。

【請求項9】絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、

前記結晶性半導体膜において、後に補助容量を形成する領域上に選択的にマスクを形成する工程と、

前記結晶性半導体膜に対してしきい値電圧を制御するための不純物元素を添加する工程と、

を有し、

前記不純物元素の添加工程において当該不純物元素が添加された領域をソース領域、チャネル形成領域及びドレイン領域として利用し、当該不純物元素が添加されなかつた領域を補助容量を形成するための電極として利用することを特徴とする半導体装置の作製方法。

【請求項10】請求項9において、前記不純物元素の添加工程はイオン注入法またはイオンドーピング法により行われることを特徴とする半導体装置の作製方法。

【請求項11】請求項9において、前記しきい値電圧を

制御するための不純物元素とは13族から選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項12】請求項11において、前記13族から選ばれた元素とはボロン、インジウムまたはガリウムであることを特徴とする半導体装置の作製方法。

【請求項13】請求項9において、前記しきい値電圧を制御するための不純物元素とは15族から選ばれた元素であることを特徴とする半導体装置の作製方法。

【請求項14】請求項13において、前記15族から選ばれた元素とはリン、砒素またはアンチモンであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】本願発明は半導体薄膜を利用した半導体装置およびその作製方法に関する技術である。なお、本明細書中において「半導体装置」とは、半導体特性を利用して機能しうる装置全てを指す。従つて、本明細書中に記載されたTFT、AMLCD及び電子機器は、全て半導体装置の範疇に含むものとする。

【0002】

【従来の技術】近年、基板上に形成した薄膜トランジスタ(TFT)で半導体回路を形成する技術の進歩が著しい。特に、薄膜半導体として結晶性珪素膜(ポリシリコン膜等)を用い、同一基板上に周辺駆動回路と画素マトリクス回路とを搭載したアクティブマトリクス型表示装置が実用化レベルに達している。

【0003】中でもアクティブマトリクス型液晶表示装置(以下、AMLCDと呼ぶ)はノートパソコン、プロジェクター、携帯機器等の表示ディスプレイ用として活発に製品化が進められている。

【0004】上述のAMLCDは液晶層に印加した電圧によって液晶層の光学応答特性を変化させ、光のオン/オフ制御を行う点に特徴がある。また、通常は液晶層に保持した電荷の漏れを補うため、補助容量(必要に応じてCsと略記する)を各画素に設ける構成となる。

【0005】ここで従来の補助容量の構造について図3を用いて説明する。図3において301は絶縁表面を有する基板、302はソース領域、303はチャネル形成領域、304はドレイン領域、305はゲート絶縁膜、306はゲート電極、307は層間絶縁膜、308はソース電極、309はドレイン電極、310は層間絶縁膜、311は画素電極である。

【0006】また、312は補助容量の下部電極(以下、Cs下部電極と呼ぶ)として機能する領域、313は補助容量の上部電極(以下、Cs上部電極と呼ぶ)であり、ゲート絶縁膜305を誘電体として容量を形成している。この場合、Cs下部電極312はTFTのソース/ドレイン領域と同じ材料で構成され、Cs上部電極313はTFTのゲート電極305と同じ材料で構成される。

【0007】この様な構造の補助容量を形成する場合、Cs下部電極の構成には二つの方式がある。第1はCs下部電極となる珪素膜中に高濃度の不純物（ソース／ドレイン領域と同じ導電型を呈する不純物）を添加して導電性を持たせる方式、第2はCs上部電極を固定電位に保持してCs下部電極の主表面（ゲート絶縁膜との界面）に常にチャネルを形成させて導電性を持たせる方式である。

【0008】しかしながら、第1の方式はCs下部電極となる珪素膜中に不純物を選択的に添加する工程が増えるため製造マスク数が増加する。一方、第2の方式はCs上部電極下に不純物を添加する必要がないため工程が簡略である。そのため、第2の方式を用いる場合が多い。

【0009】

【発明が解決しようとする課題】上述の第2の方式を用いる場合、Cs上部電極を固定電位に保持しておくための電源が必要となる。例えばNチャネル型TFTのしきい値電圧は2V程度なので、Cs上部電極はソース／ドレイン領域の電位よりも常に2V以上高い電位に保持しておかなければならぬ。

【0010】そのため、現状では液晶層のしきい値電圧とTFTのしきい値電圧とを考慮して最低でも8～10Vの電源が必要となる。この事が以下に説明する様な問題を生じてしまう。

【0011】まず、液晶層には焼きつき防止のために極性を反転させた電圧が交互に印加される。通常は液晶層の種類にもよるが-5～5V程度の範囲で印加電圧が変動する。そのため、例えばCs上部電極が10Vに保持されている場合には最大で15V近い電圧がCs上部電極とCs下部電極との間に印加される。これによりゲート絶縁膜の劣化が起り、Cs上部電極とCs下部電極との間でリーク電流の増加や短絡といった問題が起りうる。

【0012】次に、回路の低消費電力化を考えると動作電圧を低くする要求が高まっている。今後、動作電圧を低くすることができれば、駆動回路等に必要な電源も3.5V電源や5V電源になると予想される。ところが、Csを形成するためにはそのためだけに10V電源が必要となり、電源の必要数が増えて非常に効率が悪い。その様な効率の悪さは回路設計の自由度を損なうことにつながる。

【0013】以上の様に、図3に示した構造においてCs上部電極313が高い固定電位に保持されるという事は好ましいものではない。

【0014】そこで本願発明では、液晶表示装置の各画素に具備される補助容量の構成に関する技術を開示し、補助容量の劣化を抑えるための技術を提供することを課題としている。また、同時にその様な液晶表示装置の回路設計の自由度を高めるための構成を提供することを課

題とする。

【0015】

【課題を解決するための手段】本発明者らの知見によれば、結晶性珪素膜（ポリシリコン膜）を活性層として利用したTFTはしきい値電圧（Vth）がマイナス方向にシフトする傾向にある。そのため、しきい値電圧を制御するためにチャネル形成領域に対して意図的に不純物を添加する技術（チャネルドープ技術）が知られている。

【0016】しかしながら、補助容量に関してはしきい値電圧がマイナス側にシフトしていることは好ましい。なぜならば、Cs上部電極の固定電位を下げる事が可能となるからである。本願発明は、この様なしきい値電圧のシフトを積極的に利用することを前提とした技術である。

【0017】即ち、本願発明の構成では、TFTのチャネル形成領域のみにしきい値電圧を制御するための不純物元素を添加し、Csの下部電極となる珪素膜中には前記不純物元素を添加しない点に特徴がある。意図的にこの様な状態とすることで、Cs上部電極に印加する固定電位を低くすることが可能である。

【0018】従って、本明細書で開示する発明の構成は、画素マトリクス回路を構成する複数の画素のそれぞれに、少なくとも一つのTFTと、一对の電極間に誘電体を挟持してなる補助容量と、を有する半導体装置であつて、前記TFTのソース領域、チャネル形成領域及びドレイン領域と、前記補助容量を構成する一方の電極とは、共通の半導体膜から構成され、前記TFTのゲート電極と前記補助容量を構成する他方の電極とは、共通の導電性膜から構成され、前記ソース領域、チャネル形成領域及びドレイン領域のみにしきい値電圧を制御するための不純物元素が添加されていることを特徴とする。

【0019】また、他の発明の構成は、絶縁表面を有する基板上に結晶性半導体膜を形成する工程と、前記結晶性半導体膜において、後に補助容量を形成する領域上に選択的にマスクを形成する工程と、前記結晶性半導体膜に対してしきい値電圧を制御するための不純物元素を添加する工程と、を有し、前記不純物元素の添加工程において当該不純物元素が添加された領域をソース領域、チャネル形成領域及びドレイン領域として利用し、当該不純物元素が添加されなかった領域を補助容量を形成するための電極として利用することを特徴とする。

【0020】

【発明の実施の形態】

【0021】本願発明の実施形態について図1を用いて説明する。図1（A）は画素マトリクス回路を構成する画素TFTの上面図である。下層から順に、活性層（珪素を主成分とする半導体膜）11、ゲート電極（アルミニウムを主成分とする金属膜）12、補助容量の上部電極13、ソース電極14、ドレイン電極15、画素電極（点線で示される）16である。

【0022】活性層11はドレイン領域（ドレイン電極15と接続している領域）から延在して補助容量の下部電極として機能する。活性層11のうち、補助容量の上部電極13と重複する領域が下部電極として機能する領域である。

【0023】そして、図1（A）をA-A'で切断した断面図が図1（B）である。なお、便宜上、縮尺は図1（A）と対応していないが、図1（A）と同じ部分には同一の符号を付してある。

【0024】図1（B）の構造において、17で示される領域はチャネル形成領域であり、本願発明ではしきい値電圧を制御するための不純物が添加されている（doped regionと記す）。また、18で示される領域は補助容量の下部電極として機能する領域であり、しきい値電圧制御用の不純物は意図的に添加されていない（undoped regionと記す）。

【0025】本願発明では補助容量の上部電極13を固定電位に保持することで、下部電極18の主表面にチャネルが常に形成された状態として補助容量を形成する。この時、図1（B）の構成とすることで、チャネルを形成するに必要なしきい値電圧を引き下げることが可能となり、上部電極13の電位を下げることができる。

【0026】ただし、この構成ではNチャネル型TFTの場合にチャネルを低電圧で形成しやすい（ノーマリオングになりやすい）という背景がある。これはゲート電極と活性層との仕事関数差やゲート絶縁膜中の固定電荷等の影響による。

【0027】そのため、チャネル形成領域17にはしきい値電圧制御用の不純物（13族から選ばれた元素）を添加してしきい値電圧をプラス側に移動させる。逆に、下部電極18は上述の様な活性層の性質を逆手にとって、意図的にしきい値電圧制御用の不純物を添加しない構成とするのである。

【0028】以上の様に、本願発明を実施することで補助容量の上部電極に印加する電圧（接地電位に対する電位）を下げることが可能となる。その結果、補助容量にかかる電圧を引き下げることができ、ゲート絶縁膜（補助容量の誘電体）の劣化による補助容量の劣化を防ぐことができる。

【0029】また、補助容量を形成するために特に高電圧電源を用意する必要がなく、他の回路と電源ラインを共有することが容易である。そのため、回路設計の自由度が広がり、液晶表示装置の小型化、高性能化に寄与する。

【0030】以上の構成でなる本願発明について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0031】

【実施例】

【実施例1】本実施例では、本願発明を利用して画素マ

トリクス回路を構成するTFT（画素TFT）を作製する工程例について説明する。なお、ここではNチャネル型TFT（NTFTと略記する）を例にとって説明する。

【0032】まず、下地膜として酸化珪素膜（図示せず）を形成したガラス基板100を用意し、その上に非晶質半導体膜（本実施例では非晶質珪素膜）101を形成する。非晶質珪素膜101の膜厚は10～100nm（代表的には10～75nm、好ましくは15～45nm）とする。また、非晶質珪素膜の代わりに $SixGe_{1-x}$ （0<x<1）で示される非晶質半導体膜を用いても良い。

【0033】ここで特開平7-130652号公報の実施例1または実施例2に記載された技術を利用する。この技術は珪素の結晶化を助長する触媒元素を利用して非晶質珪素膜の結晶化を行うための技術である。本実施例では同公報の実施例1に記載された技術を例にとり、触媒元素としてニッケルを用いる。

【0034】まず、重量換算で10ppmのニッケルを含有した酢酸ニッケル水溶液をスピンドル法により塗布し、ニッケル含有層102を形成する。こうして非晶質珪素膜101上にニッケルが保持された状態を得る。

（図1（A））

【0035】ニッケル含有層102を形成したら、450～500°C 2時間程の加熱処理（水素出し工程）の後、500～700°C（代表的には550～600°C）の温度で2～12時間（代表的には4～8時間）の加熱処理を行い、結晶性珪素膜（ポリシリコン膜）103を得る。（図1（B））

【0036】ここでレーザー光を照射して結晶性珪素膜103の結晶性の改善工程を行うことは有効である。レーザー光を照射することにより粒内欠陥の低減、不整合粒界の低減及び非晶質成分の結晶化が行われる。必要なだけ省略することも可能である。

【0037】次に、後に活性層となる領域上に酸化珪素膜または窒化珪素膜でなるマスク104を形成する。その後、15族から選ばれた元素（本実施例ではリン）をイオン注入法またはイオンドーピング法により添加する。ここでは結晶性珪素膜中でのリン濃度が 1×10^{19} ～ $1\times 10^{21}atoms/cm^3$ （代表的には $1\times 10^{20}atoms/cm^3$ ）となる様に調節する。

【0038】こうして、高濃度にリンが添加された領域（以下、ゲッタリング領域と呼ぶ）105、106が形成される。また、マスク直下にはリンが添加されない領域（以下、被ゲッタリング領域と呼ぶ）107が形成される。（図1（C））

【0039】次に、500～700°C（代表的には600～650°C）の温度で4～16時間（代表的には8～12時間）の加熱処理を行い、被ゲッタリング領域107中に残存するニッケルをゲッタリング領域105、106へと移動させる。これは、リンによる金属元素のゲッタリング効

果を応用した技術である。（図1（D））

【0040】なお、本実施例ではガラス基板上にTFTを作製するのでガラスの耐熱性でプロセス最高温度が決定されてしまう。しかしながら、基板として石英基板など耐熱性の高い基板を用いれば、ゲッタリングのための加熱処理の最高温度を1000°C（好ましくは800°C）にまで上げることができる。ただし、温度が800°Cを超えるとゲッタリング領域から被ゲッタリング領域へのリンの逆拡散が起こり始めるので1000°C以下とするのが好ましい。

【0041】次に、マスク104に対して再びパターニングを行い、後に補助容量（Cs）を形成する領域（Cs形成部と呼ぶ）上にマスク108を残す。そして、その状態で13族から選ばれた元素（代表的にはボロン、インジウムまたはガリウム、本実施例ではボロン）の添加工程を行う。このボロンはTFT形成部のみに添加され、TFTのしきい値電圧を制御するための不純物元素として利用する。（図1（E））

【0042】こうしてボロンが添加された領域（TFT形成部と呼ぶ）109とボロンが添加されなかつた領域（Cs形成部）110が形成される。なお、TFT形成部109には $1\times 10^{17}\sim 5\times 10^{18}\text{atoms/cm}^3$ （代表的には $5\times 10^{17}\sim 5\times 10^{18}\text{atoms/cm}^3$ ）の濃度でボロンを添加すれば良い。本実施例では、予めノンドープの場合のしきい値電圧を求め、それを踏まえてしきい値電圧が2Vとなる様に設定値を決定している。

【0043】また、Cs形成部110は前述のリンの添加工程も含めて意図的に不純物元素が添加されておらず、undoped（アンドープ）な領域となっている。そのため、Cs形成部110は真性または実質的に真性な領域である。なお、実質的に真性であるとは、スピニ密度よりも不純物濃度が低い領域、しきい値電圧の制御が可能な範囲（代表的には不純物濃度が $1\times 10^{14}\text{atoms/cm}^3\sim 1\times 10^{17}\text{atoms/cm}^3$ ）において一導電型を有する領域を指す。

【0044】次に、マスク108を除去した後、結晶性珪素膜をパターニングして活性層111を形成する。なお、この時ゲッタリング領域105、106は完全に除去し、被ゲッタリング領域107のみで構成する。

【0045】ここでレーザー光を照射して活性層111の結晶性の改善工程を行う。レーザー光としてはKrF、XeClを利用したパルス発振型エキシマレーザーを用い、線状に加工して照射する。エネルギー強度は200~250mJ/cm²、発振周波数は30Hz、処理温度は室温~500°C位で良い。

【0046】このレーザー照射工程によりTFT形成部111aに含まれる不純物元素（ボロン）が活性化される。また、上述の様なレーザー照射条件では結晶性珪素膜が溶融することはないので、Cs形成部111bへのボロンの拡散も問題とはならない。こうして形成される

Cs形成部111bが後にCsの下部電極として機能する。（図2（A））

【0047】次に、活性層111を覆って、珪素を含む絶縁膜であるゲート絶縁膜112を形成する。次に、図示しないアルミニウムを主成分とする金属膜を成膜し、パターニングによって後のゲート電極及び補助容量の上部電極（Cs上部電極と呼ぶ）の原型113、114を形成する。（図2（B））

【0048】本実施例では2wt%のスカンジウムを含有したアルミニウム膜を用いる。他にもN型導電性を持たせた珪素膜、タンタル膜、チタン膜なども良い。

【0049】ここで本発明者らによる特開平7-135318号公報記載の技術を利用する。同公報には、陽極酸化により形成した酸化膜を利用して自己整合的にソース／ドレイン領域と低濃度不純物領域とを形成する技術が開示されている。以下にその技術について簡単に説明する。

【0050】まず、アルミニウム膜のパターニングに使用したレジストマスク（図示せず）を残したまま3%シリカ酸水溶液中で陽極酸化処理を行い、多孔性の陽極酸化膜115を形成する。この膜厚が後に低濃度不純物領域の長さになるのでそれに合わせて膜厚を制御する。

【0051】次に、図示しないレジストマスクを除去した後、エチレングリコール溶液に3%の酒石酸を混合した電解溶液中で陽極酸化処理を行う。この処理では緻密な無孔性の陽極酸化膜117が形成される。膜厚は70~120nmで良い。

【0052】また、以上の陽極酸化工程の後に残存したアルミニウム膜がゲート電極119、Cs上部電極120となる。こうして図2（C）の状態を得る。

【0053】次にゲート電極及び多孔性の陽極酸化膜をマスクとしてゲート絶縁膜112をドライエッチング法によりエッティングする。そして、多孔性の陽極酸化膜115、116を除去する。こうして端部のみが露出した状態のゲート絶縁膜が形成され、図2（D）の構造が得られる。

【0054】次に、この状態で一導電性を付与する不純物元素の添加工程を行う。本実施例ではNチャネル型TFTを作製するため、不純物元素として15族から選ばれた元素（ここではリン）を添加する。

【0055】この工程では、まず1回目の不純物添加を高加速電圧で行い、n⁻領域を形成する。この時、加速電圧が90keV程度と高いので不純物元素は露出した活性層表面だけでなく露出したゲート絶縁膜の端部の下にも添加される。また、露出したゲート絶縁膜の直下に $1\times 10^{17}\sim 5\times 10^{18}\text{atoms/cm}^3$ 程度の濃度でリンが添加される様に調節する。

【0056】さらに、2回目の不純物添加を低加速電圧で行い、n⁺領域を形成する。この時は加速電圧を10keV程度と低くしてゲート絶縁膜をマスクとして利用する。また、露出した活性層に含まれるリン濃度が $1\times 10^{17}\sim 5\times 10^{18}\text{atoms/cm}^3$ 程度の濃度でリンが添加される様に調節する。

19~5×10²⁰atoms/cm³程度となる様に調節する。

【0057】以上の工程で形成された不純物領域は、n⁺領域がソース領域121、ドレイン領域（本明細書中では後に画素電極と接続する方を便宜上ドレイン領域と呼ぶ）122となり、n⁻領域が一対の低濃度不純物領域（LDD領域とも呼ばれる）123となる。また、ゲイト電極直下の領域は不純物元素が添加されず、真性または実質的に真性なチャネル形成領域124となる。

（図2（D））

【0058】また、この時Cs上部電極120の直下もリンが添加されず、真性または実質的に真性な領域（Csの下部電極を形成する領域）125が形成される。なお、Cs形成部にも一対のLDD126が形成される。

【0059】この一対のLDD領域126のうち、特にドレイン領域122に接する方はキャリアの充放電の経路となる。従って、TFT側のLDD領域123と同様に、Csの性能劣化を防ぐために機能する。

【0060】以上の様にして不純物の添加工程が終了したら、ファーネスアニール、レーザーアニール、ランプアニール等の組み合わせによって不純物元素の活性化を行う。それと同時に添加工程で受けた活性層の損傷も修復される。

【0061】次に、第1の層間絶縁膜127を500nmの厚さに形成する。第1の層間絶縁膜126としては酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、有機性樹脂膜（ポリイミド、ポリアミド、ポリイミドアミド、アクリル）、或いはそれらの積層膜を用いることができる。

【0062】次に、コンタクトホールを形成した後、ソース電極128、ドレイン電極129を形成する。そして、その上に第2の層間絶縁膜130を形成する。第2の層間絶縁膜130は平坦化膜としての機能を持たせるため、ポリイミドやアクリル等の有機性樹脂膜を用いることが好ましい。

【0063】次に、平坦化された第2の層間絶縁膜130上に画素電極131を形成する。この場合、反射型LCDを作製するならば画素電極131として透明導電膜（代表的にはITO）を用いる。また、透過型LCDを作製するならば高い反射率を有する金属膜（代表的にはアルミニウムを主成分とする膜）を用いる。

【0064】最後に、基板全体を350°Cの水素雰囲気で1~2時間加熱し、素子全体の水素化を行うことで膜中（特に活性層中）のダンギングボンド（不対結合手）を終端する。以上の工程によって、図2（E）に示す様な構造のTFTを作製することができる。

【0065】本実施例の作製工程に従って作製したNチャネル型TFTは、しきい値電圧が2V位の良好な電気特性を示す一方、Cs下部電極111bの主表面では2Vよりも低い電圧でチャネルが形成される。

【0066】例えば、Cs下部電極125の主表面にチャネルを形成しうるしきい値電圧を-1V（接続するド

レイン領域の電位に対してCs上部電極の電位が1V低い状態）とした場合、ドレイン領域122の電圧変動が-5~5VであればCs上部電極には最低でも4V（好ましくは5V）程度の電位が必要である。この電位に保持しておけば常にチャネルが形成され、Cs下部電極として機能させることができる。

【0067】現状においては、ICの電源電圧が3.5V~5Vと低くなっているので、AMLCDの駆動回路も同じ電源電圧で動作させた方が、電圧変換の煩わしさがなくて良い。本実施例の場合、Cs上部電極の電位を5Vに保持すれば良いので、他の回路の電源と共有すればわざわざCs用の電源ラインを設ける必要がない。この事は回路設計の自由度を高める上で非常に有効である。

【0068】また、上記構成であればドレイン領域122とCs上部電極120との間にかかる最大電圧は10V以下であるのでゲート絶縁膜にかかる負担も小さいもので済む。その結果、ゲート絶縁膜の劣化に伴うCs特性の劣化が抑制される。

【0069】【実施例2】実施例1ではNチャネル型TFTを例にとって説明したが、本願発明の構成はPチャネル型TFTに対しても適用することが可能である。ただし、Pチャネル型TFTではしきい値電圧がプラス側にシフトする様な場合に本願発明を適用することができる。

【0070】Pチャネル型TFTのしきい値電圧がプラス側にシフトする場合には、しきい値電圧制御用の不純物として15族から選ばれた元素を用いれば良い。代表的にはリン、砒素またはアンチモンを用いることができる。

【0071】例えば、Cs下部電極にチャネルを形成しうるしきい値電圧が1V（接続するドレイン領域の電位に対してCs上部電極の電位が1V高い状態）である場合、ドレイン領域の電圧変動が-5~5VであればCs上部電極に必要な電位は-4V（好ましくは-5V）程度で十分である。

【0072】この場合、-5Vの電源電圧を他の回路と共有すれば余計な電源ラインを設ける必要がなくなる。また、Csを形成するゲート絶縁膜にも必要以上に高い電圧が印加されないのでCs特性の劣化も抑制することができる。

【0073】本願発明を利用したPチャネル型TFTの作製工程については、基本的には実施例1で説明したNチャネル型TFTにおいて、図1（E）の工程ではリンを添加し、図2（D）の工程ではボロンを添加すれば良い。

【0074】本実施例を実施することで、AMLCDの画素マトリクス回路をPチャネル型TFTで構成することが可能である。

【0075】【実施例3】本実施例では、実施例1とは異なる手段で作製されるTFTに対して本願発明を適用

する場合の例を示す。なお、本願発明をNチャネル型TFT適用した場合を例にとって説明を行う。

【0076】まず、石英基板401上に75nm厚の非晶質珪素膜402を形成する。次に、特開平7-130652号公報の実施例2に記載の技術に従って酸化珪素膜でなるマスク絶縁膜403を設け、重量換算で100ppmのニッケルを含んだニッケル含有層404を形成する。(図5)

(A)

【0077】次に、結晶化のための加熱処理を行う。本実施例では500°C 2時間の水素出し工程の後、570°C 14時間の加熱処理を行う。この加熱処理により、まずニッケルが添加された領域405から結晶核が発生し、そのまま基板と概略平行に成長した結晶領域406が形成される。本発明者らはこの結晶領域406を横成長領域と呼んでいる。(図5 (B))

【0078】横成長領域406は棒状または偏平棒状結晶が複数集合して構成され、互いの結晶粒が互いに概略平行に、巨視的に特定の方向性をもって並んでいる。そのため、非常に結晶性が良いという特徴を持つ。

【0079】結晶化のための加熱処理が終了したら、触媒元素(ニッケル)を除去するための加熱処理(触媒元素のゲッタリングプロセス)を行う。この加熱処理は処理雰囲気中にハロゲン元素を含ませ、ハロゲン元素による金属元素のゲッタリング効果を利用するものである。(図5 (C))

【0080】なお、ハロゲン元素によるゲッタリング効果を十分に得るために、上記加熱処理を700°Cを超える温度で行なうことが好ましい。この温度以下では処理雰囲気中のハロゲン化合物の分解が困難となり、ゲッタリング効果が得られなくなる恐がある。そのため加熱処理温度を好ましくは800~1100°C(代表的には900~1000°C)とし、処理時間は0.1~4hr、代表的には0.3~2hrとする。

【0081】代表的な実施例としては酸素雰囲気中に對して塩化水素(HCl)を0.5~10体積%(本実施例では3体積%)の濃度で含有させた雰囲気において、350°C、30分の加熱処理を行なえば良い。HCl濃度を上記濃度以上とすると、処理後の横成長領域407の表面に膜厚程度の凹凸が生じてしまうため好ましくない。

【0082】また、ハロゲン元素を含む化合物としてはHClガス以外にもHF、NF₃、HBr、Cl₂、ClF₃、BCl₃、F₂、Br₂等のハロゲン元素を含む化合物から選ばれた一種または複数種のものを用いることが出来る。

【0083】この工程においては横成長領域406中のニッケルが塩素の作用によりゲッタリングされ、揮発性の塩化ニッケルとなって大気中へ離脱して除去される。そして、この工程後に得られる横成長領域407中のニッケルの濃度は $5 \times 10^{17} \text{ atoms/cm}^3$ 以下(代表的には $2 \times 10^{17} \text{ atoms/cm}^3$ 以下)にまで低減される。なお、本發

明者らの経験によれば、ニッケル濃度が $5 \times 10^{17} \text{ atoms/cm}^3$ 以下であれば TFT特性に悪影響はでない。

【0084】また、この加熱処理により熱酸化膜408が形成されるため、結晶性珪素膜の膜厚は減少する。上記処理条件(950°C 30分)では約15nmだけ膜厚が減少するが、この工程は結晶性珪素膜の薄膜化も兼ねている。

【0085】こうして触媒元素のゲッタリングプロセスが終了したら、レジストマスク409を形成して、しきい値電圧を制御するための不純物元素をイオン注入法により添加する。本実施例ではボロンを添加する。

【0086】こうして TFT形成部にはボロンが添加された領域(後のソース領域、チャネル形成領域、ドレイン領域を形成する部分)410が形成され、Cs形成部にはボロンが添加されなかった領域(後のCs下部電極を形成する部分)411が形成される。(図5 (D))

【0087】次に、レジストマスク409を除去した後、レーザー照射工程を行い、添加した不純物元素の活性化を行う。この時、412a、412bで示される両領域は結晶性も改善される。(図5 (E))

【0088】次に、バターニングを行い、横成長領域のみからなる活性層413を形成し、その上に酸化窒化珪素膜(SiO_xN_yで示される)からなるゲート絶縁膜414を120nmの厚さに形成する。この膜厚は後の熱酸化工程による増加分も考慮して20~250nmの範囲で調節すれば良い。

【0089】そして、再びハロゲン元素を含む雰囲気での加熱処理を行う。条件は前述の条件に従えば良い。この加熱処理により再び触媒元素がゲッタリングされ、活性層413中に残存する触媒元素の濃度はさらに低減される。(図6 (A))

【0090】また、この加熱処理により活性層413とゲート絶縁膜414の界面では熱酸化反応が進行し、熱酸化膜の分だけゲート絶縁膜414の膜厚は増加する。この様にして熱酸化膜を形成すると、非常に界面準位の少ない半導体/絶縁膜界面を得ることができる。また、活性層端部における熱酸化膜の形成不良(エッジシニング)を防ぐ効果もある。

【0091】さらに、上記ハロゲン雰囲気における加熱処理を施した後に、窒素雰囲気中で950°C 1時間程度の加熱処理を行なうことで、ゲート絶縁膜414の膜質の向上を図ることも有効である。

【0092】こうして図6 (A)の状態が得られたら、N型導電性を持たせた結晶性珪素膜からなるゲート電極415及びCs上部電極416を形成する。そして、その状態で15族から選ばれた元素(本実施例では砒素)を添加し、不純物領域417、418を形成する。この不純物領域の一部は後にLDD領域として残るので、LDD領域に必要な濃度となる添加量を設定する。(図6 (B))

【0093】次に、ドライエッチング法によりゲート絶

縁膜414をエッティングする。エッティングガスにはCH₄を用いれば良い。こうしてゲイト電極下のみにゲイト絶縁膜419、420が形成される。さらに、酸化珪素膜を堆積した後にエッチバック技術を用いてサイドウォール421、422を形成する。(図6(C))

【0094】図6(C)の状態が得られたら、次に、リンイオンの添加工程を行う。この添加工程ではソース/ドレイン領域を形成する様に $1 \times 10^{20} \text{ atoms/cm}^3$ 程度の濃度でリンを添加する。

【0095】この工程によりソース領域423、ドレイン領域424、LDD領域425、チャネル形成領域426、Cs下部電極427、補助容量のLDD領域428が形成される。(図6(D))

【0096】次に、レーザー光の照射及びファーネスアニールとを併用して添加したリンの活性化を行う。

【0097】次に、50nm厚のチタン膜(図示せず)を成膜し、熱アニールを行うことでチタンシリサイド427～432を形成する。この工程には公知のサリサイド技術を利用すれば良い。

【0098】そして、第1の層間絶縁膜433を50nm厚の窒化珪素膜と900nm厚の酸化珪素膜との積層膜で構成し、その上にソース電極434、ドレイン電極435を形成する。これら電極は1wt%のシリコンを含有させたアルミニウム膜とチタン膜との積層膜で形成する。

【0099】さらに、第2の層間絶縁膜436を1μm厚のアクリルで形成する。そしてその上に透明導電膜(本実施例ではITO)からなる画素電極437を形成する。最後に、350°C 2時間の水素化工程を行って図6(E)に示す様な構造の画素TFTが完成する。

【0100】なお、本実施例ではNチャネル型TFTの場合について説明しているが、実施例2にも示した様にPチャネル型TFTに適用することは容易である。

【0101】【実施例4】本実施例では本願発明をボトムゲイト型TFT(代表的には逆スタガ型TFT)に適用した場合の例について説明する。

【0102】図7において、701は絶縁表面を有する基板、702はゲイト電極、703は補助容量の下部電極である。これらの電極はタンタル膜、クロム膜、タンゲステン膜、モリブデン膜、導電性を有する珪素膜等で構成される。

【0103】また、704はゲイト絶縁膜、705はソース領域、706はドレイン領域、707はLDD領域、708はチャネル形成領域である。本実施例ではチャネル形成領域708にはしきい値電圧を制御するための不純物元素が添加されている(doped regionと記す)。

【0104】また、709は補助容量側のLDD領域、710は補助容量の上部電極であり、上部電極710中には意図的に不純物が添加されていない(undoped regionと記す)。

【0105】なお、711、712は酸化珪素膜からなるチャネル保護膜である。また、ソース/ドレイン電極等は図3(E)や図6(E)と同じ構成であるのでここでの説明は省略する。

【0106】本実施例の逆スタガ型構造は、基本的には公知の手段で作製することが可能であるが、実施例1にならってしきい値電圧制御用の不純物元素をTFT形成部とCs形成部とで打ち分ける必要がある。

【0107】また、本実施例の逆スタガ型TFTはしきい値電圧制御用の不純物元素とソース/ドレイン形成用の不純物元素とを適切に選択することで、Nチャネル型TFTにもPチャネル型TFTにも適用しうる。

【0108】【実施例5】実施例1、3、4に示した様なNチャネル型TFTを作製する場合において、ゲイト電極として適切な材料を用いることで、本願発明の効果をさらに顕著なものにすることができる。

【0109】図10(A)において ϕ_m は金属膜Aの仕事関数、 ϕ_s は半導体膜(ここでは真性半導体膜を例にとる)の仕事関数、Ev、Ef、Ecはそれぞれ半導体膜の価電子帯、フェルミレベル、伝導帯を表している。なお、金属膜には電圧を印加していない。

【0110】この時、半導体膜のフェルミレベルは金属膜Aとの仕事関数差により ΔE だけ上がり、その結果バンド曲がりが発生する。そのため、絶縁体(ゲイト絶縁膜の相当する)との界面には電子が誘起され、場合によつては反転層(チャネル)が形成される。これがいわゆるノーマリオンとなった状態である。

【0111】次に、金属膜Aよりも仕事関数の小さい金属膜B(仕事関数は ϕ_m' で表す)を考える。この場合、図10(A)の場合と同様にバンド曲がりを発生するが、フェルミレベルのシフト量に相当する $\Delta E'$ は ΔE よりも大きくなる。従つて、バンド曲がりも図10(A)の場合より大きくなり、図10(A)よりも多くの電子が半導体界面に誘起される。

【0112】以上の事から、ゲイト電極となる金属膜の仕事関数が小さくなると半導体界面には電子が誘起されやすくなり、Nチャネル型TFTの特性はノーマリオンになりやすくなる傾向にあることが判る。逆に金属膜の仕事関数が大きくなれば半導体界面には正孔が誘起されやすくなり、結果的にPチャネル型TFTの特性がノーマリオンになることは容易に理解できる。

【0113】従つて、本願発明ではNチャネル型TFTのゲイト電極には仕事関数の小さい金属膜を用い、Pチャネル型TFTのゲイト電極には仕事関数の大きい金属膜を用いることが有効である。

【0114】通常、結晶性珪素膜(ポリシリコン膜)は意図的に不純物を添加しない限り真性または実質的に真性である。そして、その時ゲイト電極としてアルミニウムを主成分とする金属膜を用いればノーマリオンのNチャネル型TFTを作製できることが実験的に確かめられ

ている。

【0115】以上の事から、少なくともアルミニウムの仕事関数 ($\phi_A = 4.1\text{eV}$) よりも小さい仕事関数を持つ金属膜であればノーマリオン特性のNチャネル型TFTを作製しうるのでゲイト電極材料として好適である。

【0116】実際には、しきい値電圧はゲイト絶縁膜中の固定電荷等の影響をも受けるので、仕事関数の許容範囲も広がり、 $\phi_m = 4.5\text{eV}$ 以下であれば十分にノーマリオンのNチャネル型TFTを作製することができると考えられる。また、 $\phi_m = 4.5\text{eV}$ 以上(好ましくは 5.0eV 以上)であればノーマリオンのPチャネル型TFTが作製できると考えられる。

【0117】具体的な材料としては、アルミニウム膜以外に、チタン膜、モリブデン膜、タンクステン膜、タンタル膜、N型導電性を持たせた珪素膜、クロム膜などが本願発明のNチャネル型TFTのゲイト電極として好適である。

【0118】また、本願発明のPチャネル型TFTのゲイト電極としては、P型導電性を持たせた珪素膜が好適であると考えられる。勿論、この構成は実施例2に示した構成に対して有効である。

【0119】【実施例6】本実施例では実施例1～5に示した構成の画素TFTを画素マトリクス回路として有するAMLCDの外観を図8に示す。図8(A)において、801はアクティブマトリクス基板であり、その上には本願発明のTFTによって画素マトリクス回路802が構成され、ソース側駆動回路803、ゲート側駆動回路804が構成されている。また、805は対向基板である。

【0120】本実施例のAMLCDはアクティブマトリクス基板801と対向基板805とが端面を揃えて貼り合わされている。ただし、ある一部だけは対向基板805を取り除き、露出したアクティブマトリクス基板に対してFPC(フレキシブル・プリント・サーキット)806を接続してある。このFPC806によって外部信号を回路内部へと伝達する。

【0121】また、FPC806を取り付ける面を利用してICチップ807、808を取り付けられている。これらのICチップはビデオ信号の処理回路、タイミングパルス発生回路、ノット回路、メモリ回路、演算回路など、様々な回路をシリコン基板上に形成して構成される。図8では2個取り付けられているが、1個でも良いし、さらに複数個であっても良い。

【0122】また、図8(B)の様な構成もとりうる。図8(B)において図8(A)と同一の部分は同じ符号を付してある。ここでは図8(A)でICチップが行っていた信号処理を、同一基板上にTFTでもって形成されたロジック回路809によって行う例を示している。

【0123】【実施例7】実施例5に示したAMLCDは、様々な電子機器のディスプレイとして利用される。

なお、本実施例に挙げる電子機器とは、AMLCDを表示ディスプレイとして搭載した製品を指す。

【0124】その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ(ノート型を含む)、携帯情報端末(モバイルコンピュータ、携帯電話等)などが挙げられる。それらの一例を図9に示す。

【0125】図9(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は表示装置2004等に適用することができる。

【0126】図9(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102に適用することができる。

【0127】図9(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205等に適用できる。

【0128】図9(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0129】図9(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0130】図9(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0131】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、他にも電光掲示盤、宣伝公告用ディスプレイなどにも活用することができる。

【0132】

【発明の効果】本願発明を利用してすることで、補助容量の上部電極に印加する電圧が下げられるので補助容量にかかる電圧が低減され、絶縁破壊による補助容量の劣化を防ぐことができる。

【0133】また、補助容量を形成するために特に高電圧電源を用意する必要がなく、他の回路と電源ラインを共有することが容易であるため、回路設計の自由度が広がり、小型で高性能なAMLCDを実現することができ

る。

【図面の簡単な説明】

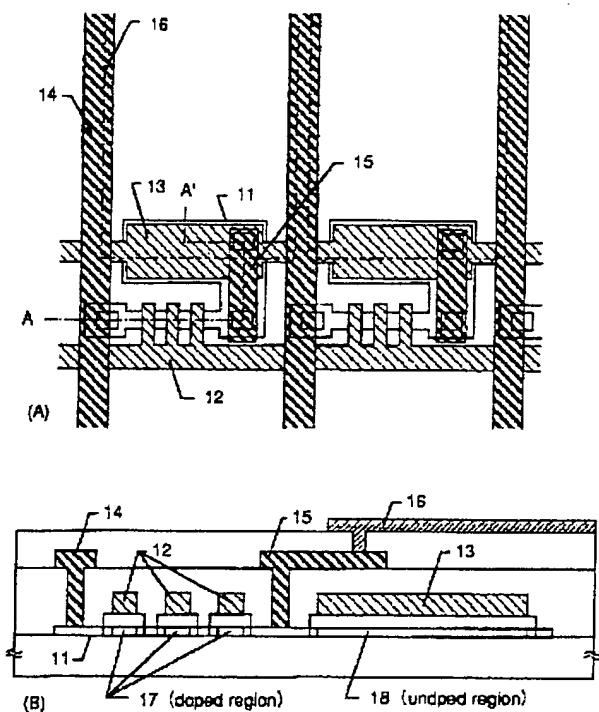
- 【図1】 本願発明の画素TFTの構成を示す図。
- 【図2】 画素TFTの作製工程を示す図。
- 【図3】 画素TFTの作製工程を示す図。
- 【図4】 従来の画素TFTの構成を示す図。
- 【図5】 画素TFTの作製工程を示す図。
- 【図6】 画素TFTの作製工程を示す図。
- 【図7】 本願発明の画素TFTの構成を示す図。
- 【図8】 本願発明のAMLCDの構成を示す図。
- 【図9】 本願発明の電子機器の構成を示す図。

【図10】 金属／半導体の仕事関数の構成を示す図。

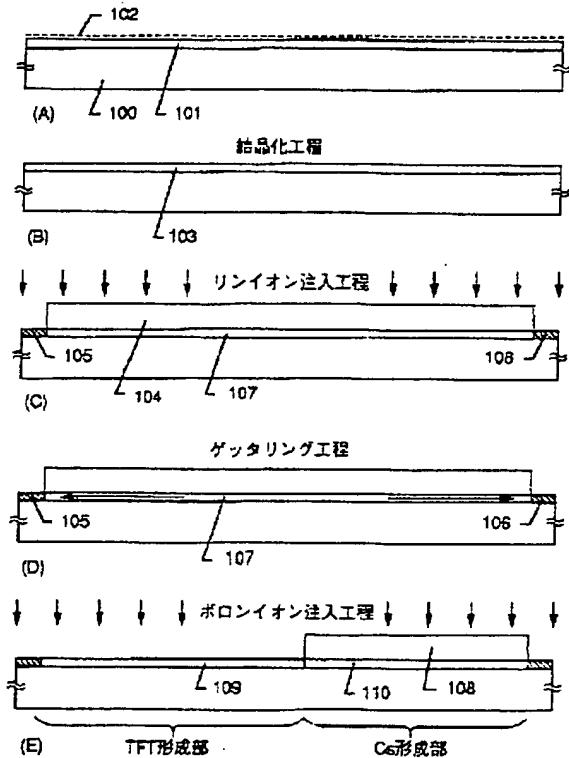
【符号の説明】

1 1	活性層
1 2	ゲイト配線（ゲイト電極）
1 3	補助容量の上部電極
1 4	ソース電極
1 5	ドレイン電極
1 6	画素電極
1 7	チャネル形成領域
1 8	補助容量の下部電極

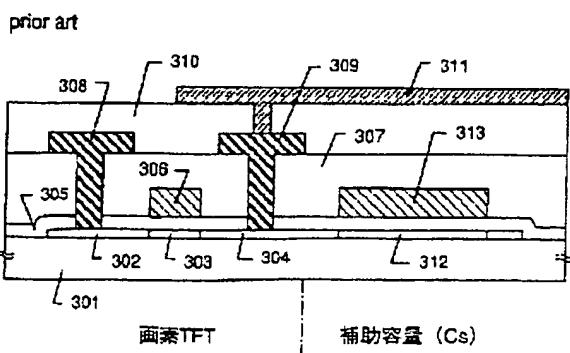
【図1】



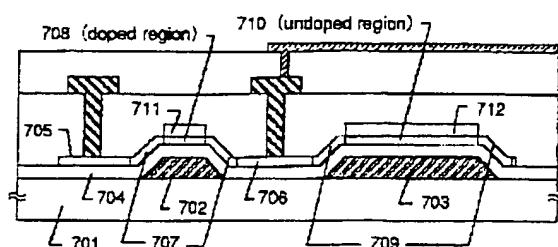
【図2】



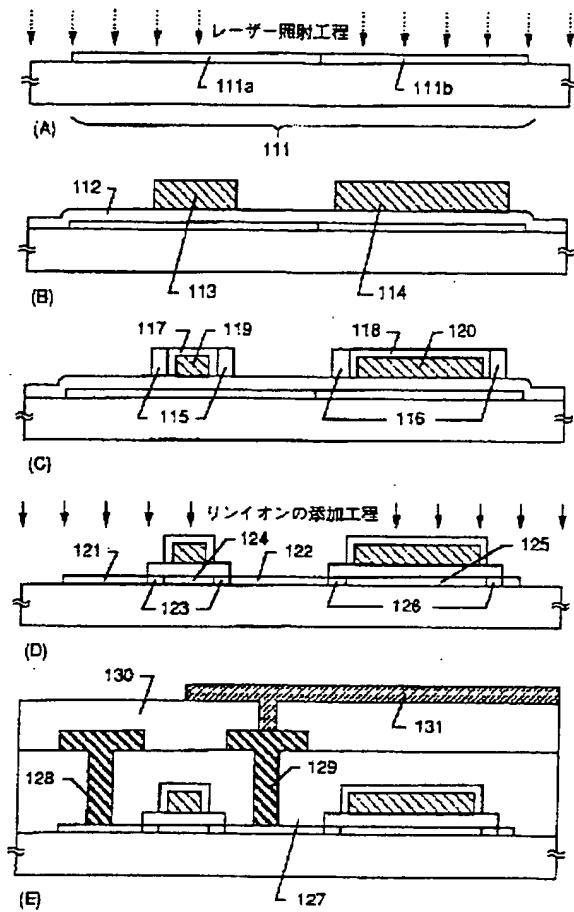
【図4】



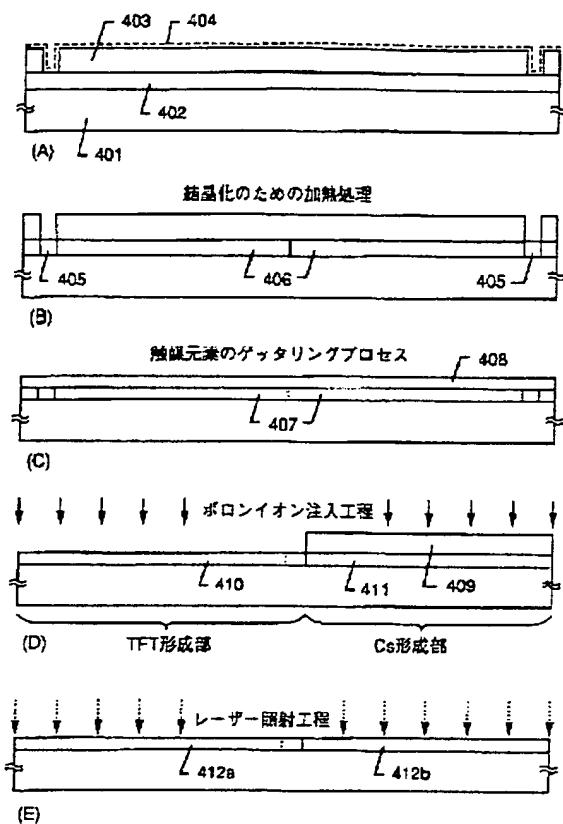
【図7】



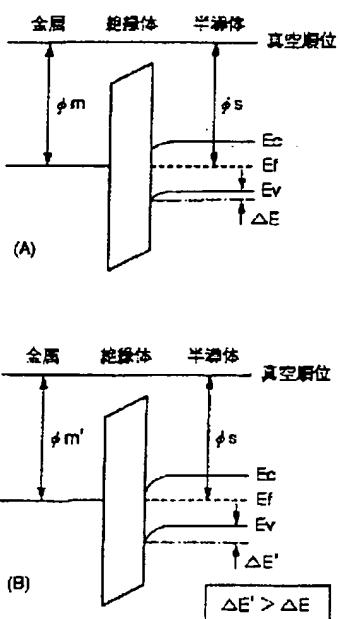
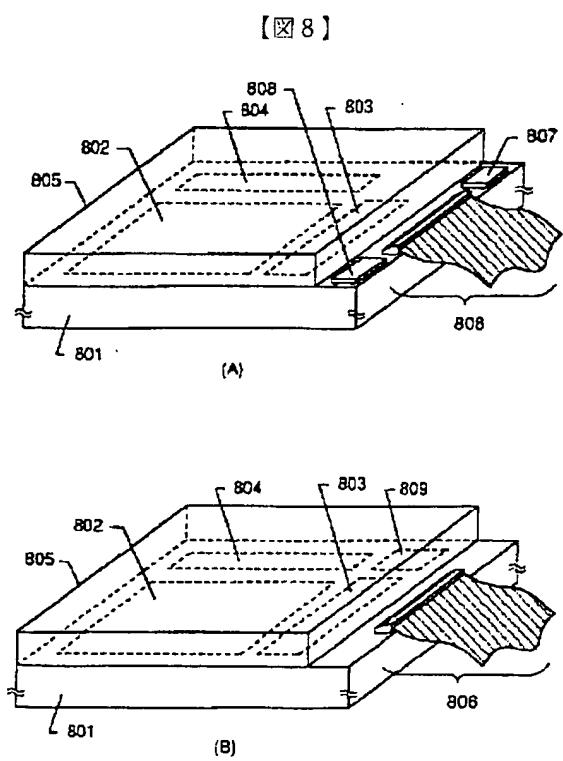
【図3】



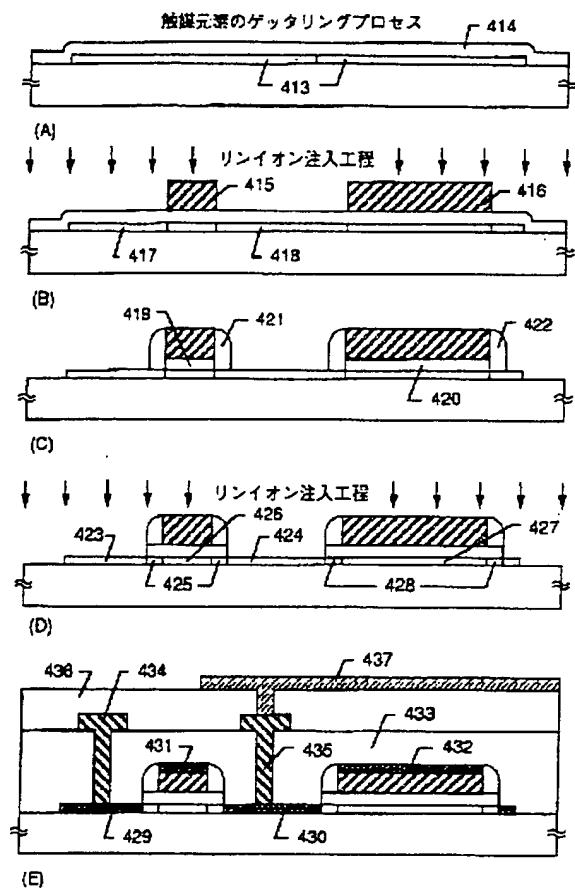
【図5】



【図10】



【図6】



【図9】

